

Logické analyzátory

V číslicových a logických systémech většinou stačí rozlišovat pouze dvě logické úrovně H a L. Skutečné velikosti napětí často nejsou důležité. Logický analyzátor je zařízení s mnoha vstupy, které potom co je spuštěno si pamatuje posloupnost logických stavů řady číslicových signálů

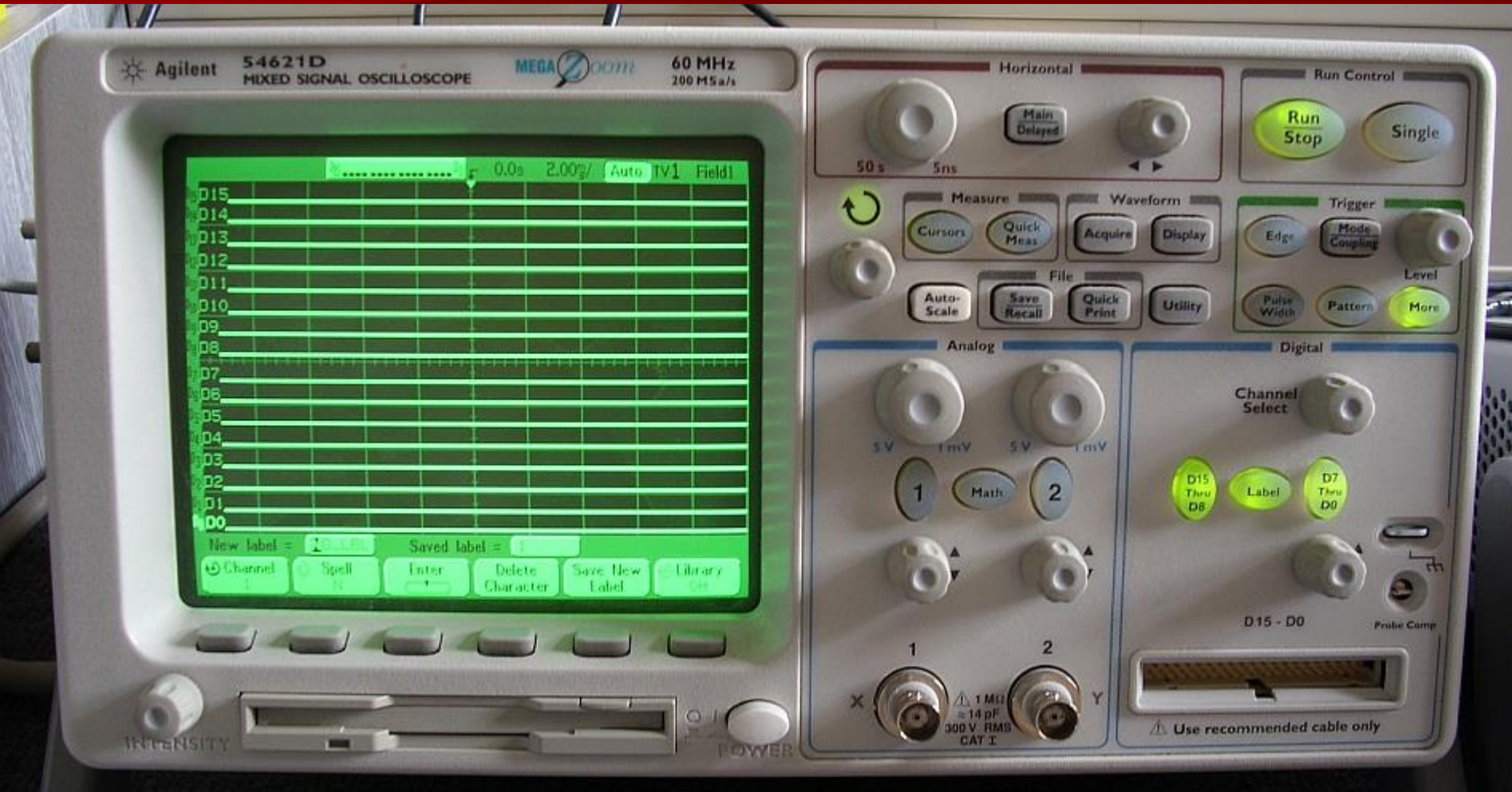
Základní parametry

- počet vstupních kanálů 8 až 192
- hloubka paměti min 4kB/kanál až desítky MB/kanál
- maximální vzorkovací frekvence až 2Gs/s /kanál

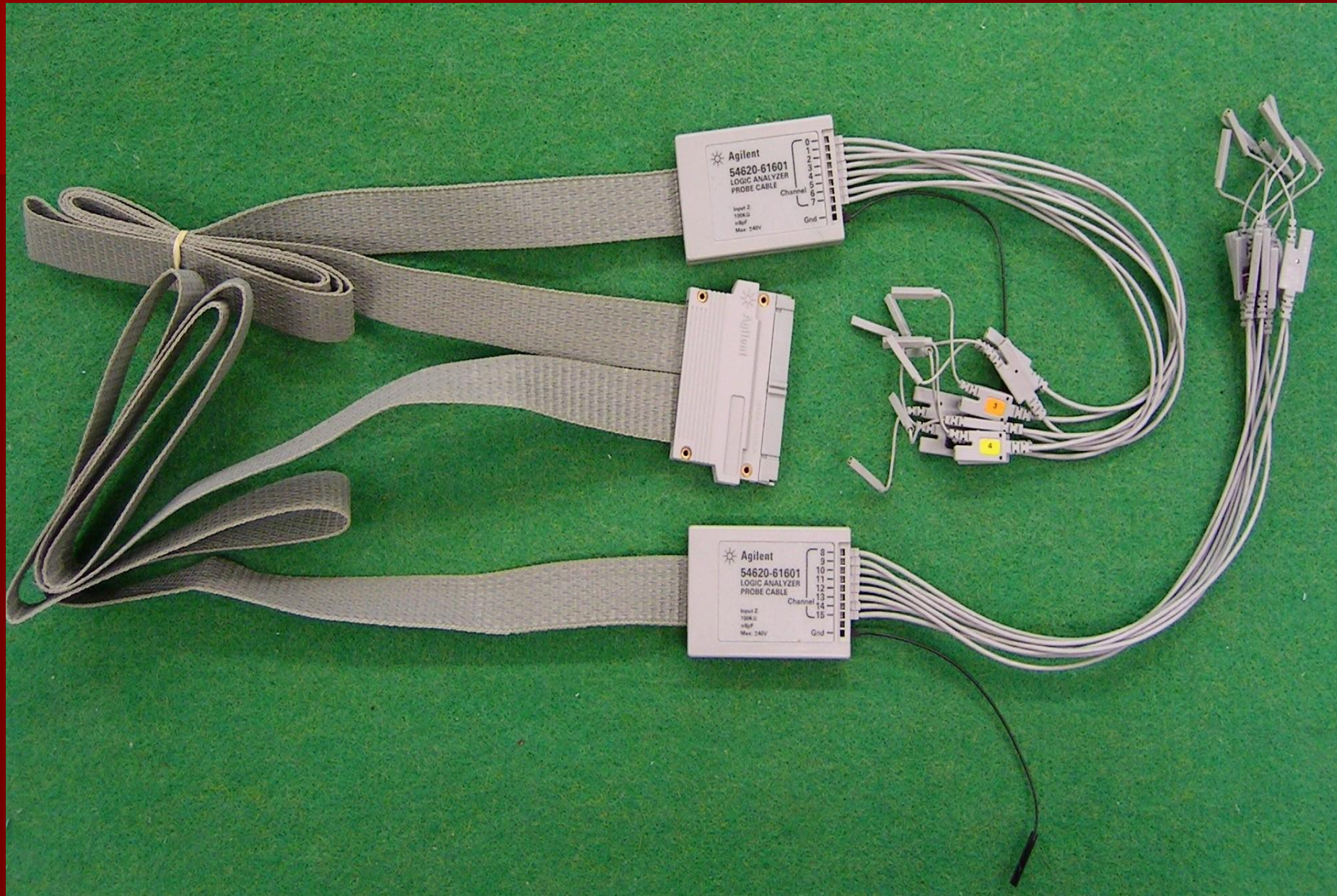
Logický analyzátor



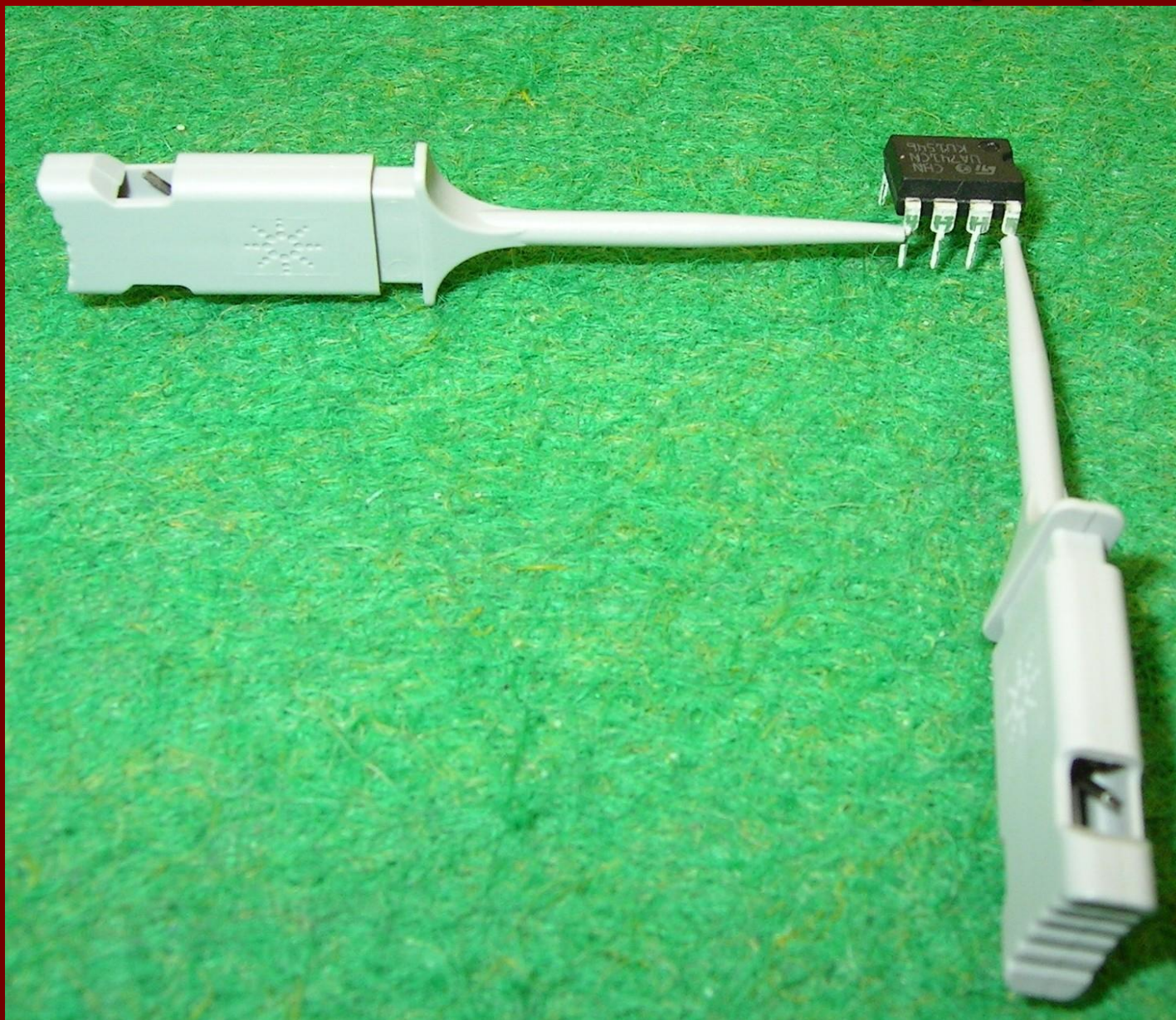
Logický analyzátor jako součást osciloskopu (MSO)



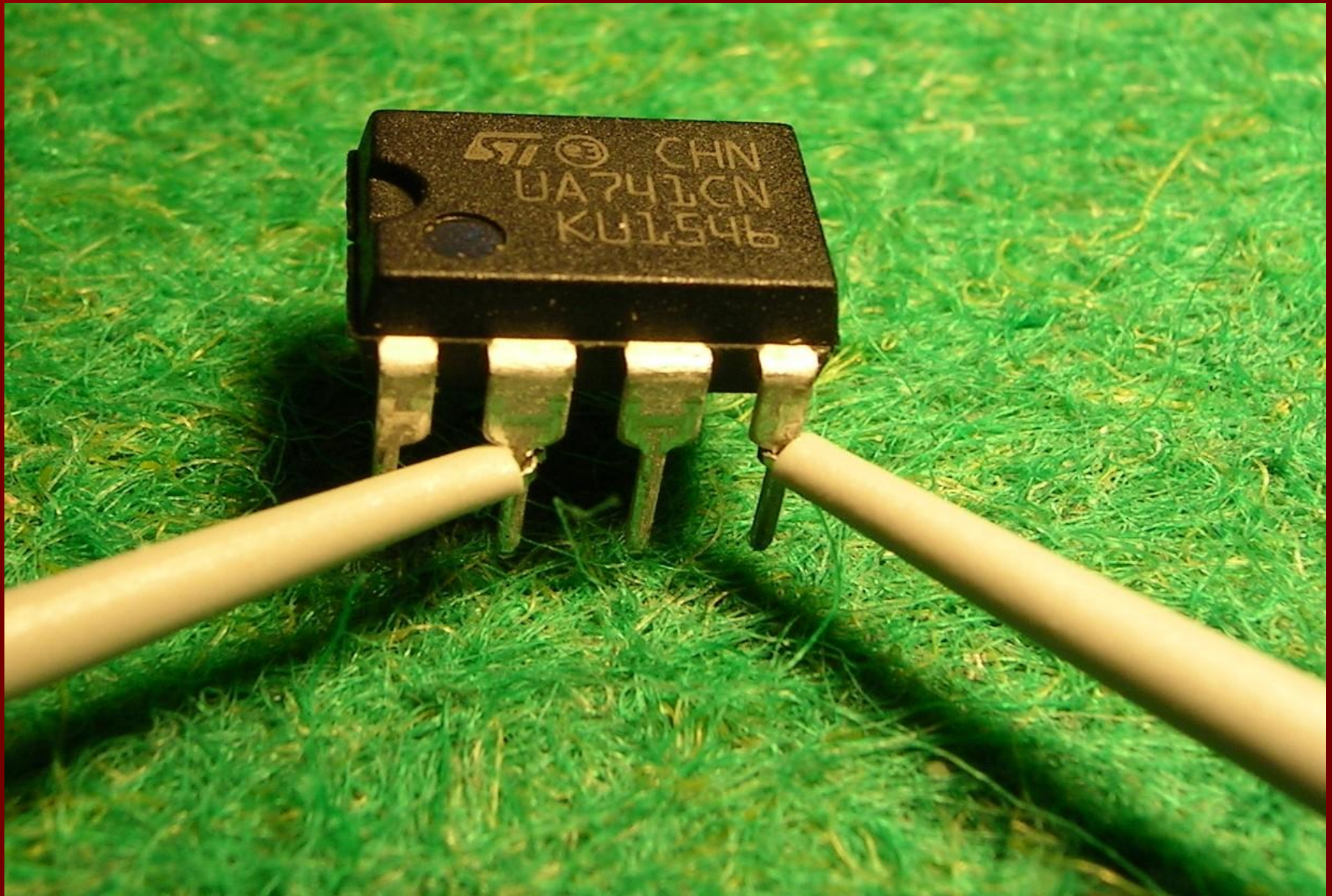
Příslušenství – kabel 2x8 kanálů



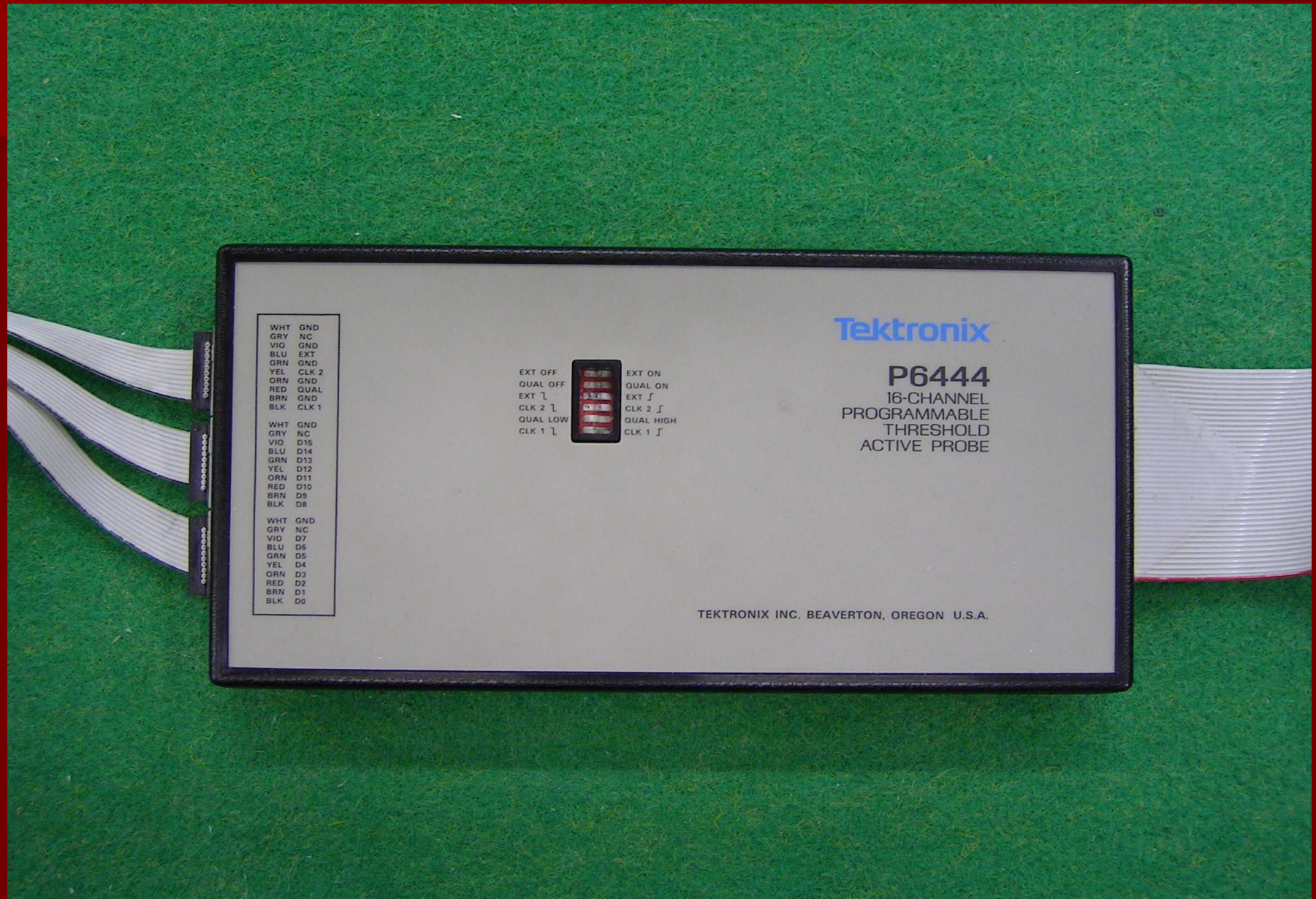
Příslušenství - klipsy



Příslušenství – detail uchycení



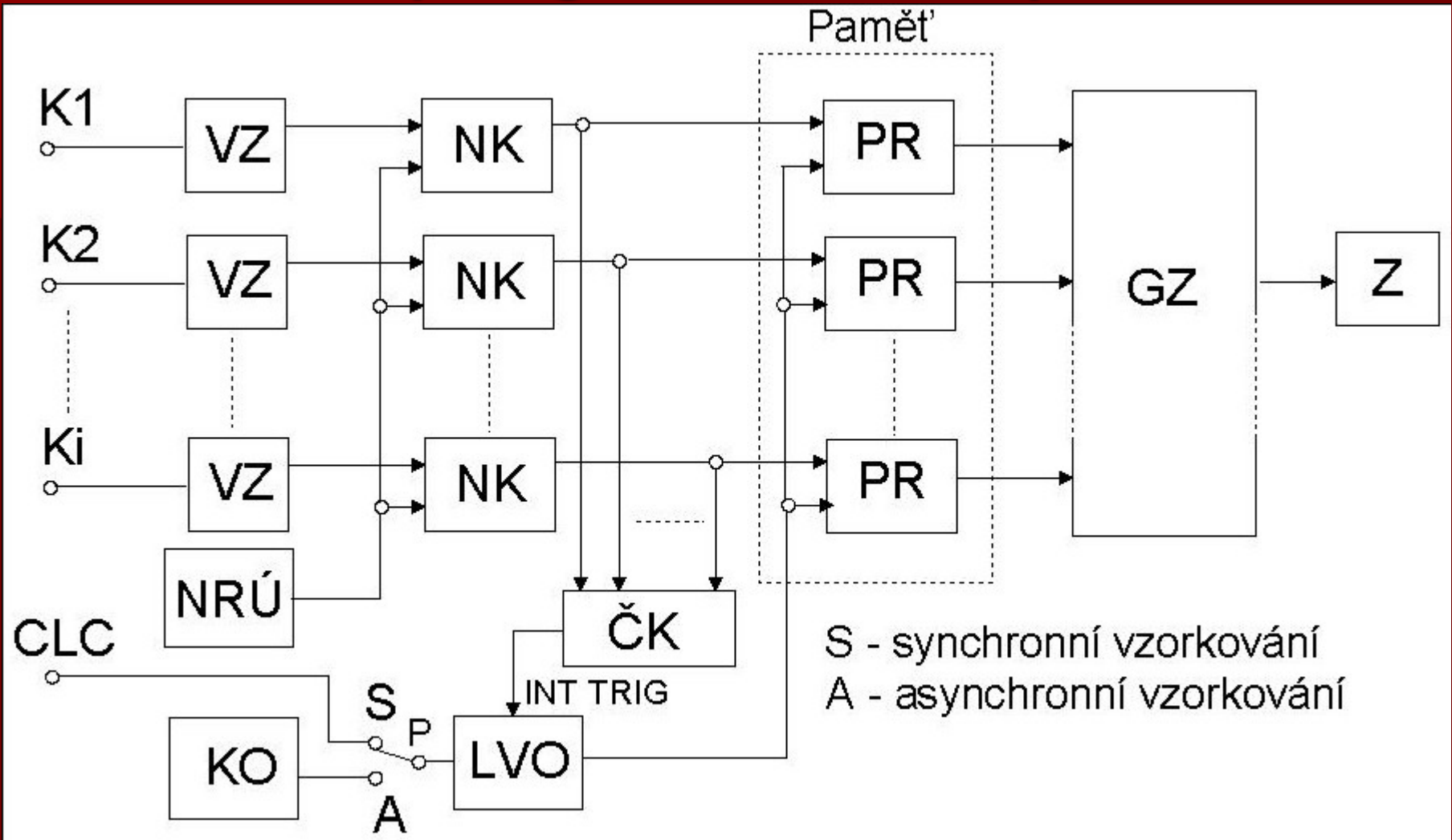
Příslušenství – 16 kanálová sonda



Základní parametry L.A. MS-250 až MS-500

Model	MS-250	MS-500	MS-500-36
Digitální kanály			
Počet kanálů	18	18	36 / 18
Rozhodovací úrovně	TTL, ECL, CMOS (2,5V, 3,3 V, 5V), PECL, LVDS nebo definované uživatelem		
Skupiny pro volbu úrovní	D0-D8, D9-D17	D0-D8, D9-D17	D0-D8, D9-D17, D18-D25, D26-D35
Akviziční systém			
Max. vstupní frekvence	250 MHz	500 MHz	250 MHz / 500 MHz
Vzorkovací rychlost	1 GS/s	2 GS/s	1 GS/s / 2 GS/s
Akviziční paměť na kanál	10 M	50 M (10 M při použití s WaveSurfer)	25 M / 50 M
Systém spouštění (Trigger)			
Spouštěcí podmínky	Edge, Width, Pattern, Glitch, Interval, Dropout		
Spouštění pro sériové sběrnice (volitelně)	I ² C, SPI, UART, RS-232, LIN		
Zdroj spouštění	C1-C4, D0-D17, EXT	C1-C4, D0-D17, EXT	C1-C4, D0-D35, EXT

Princip logického analyzátoru



VZ – vstupní zesilovač

PR – posuvný registr

KO – generátor hodinových impulsů

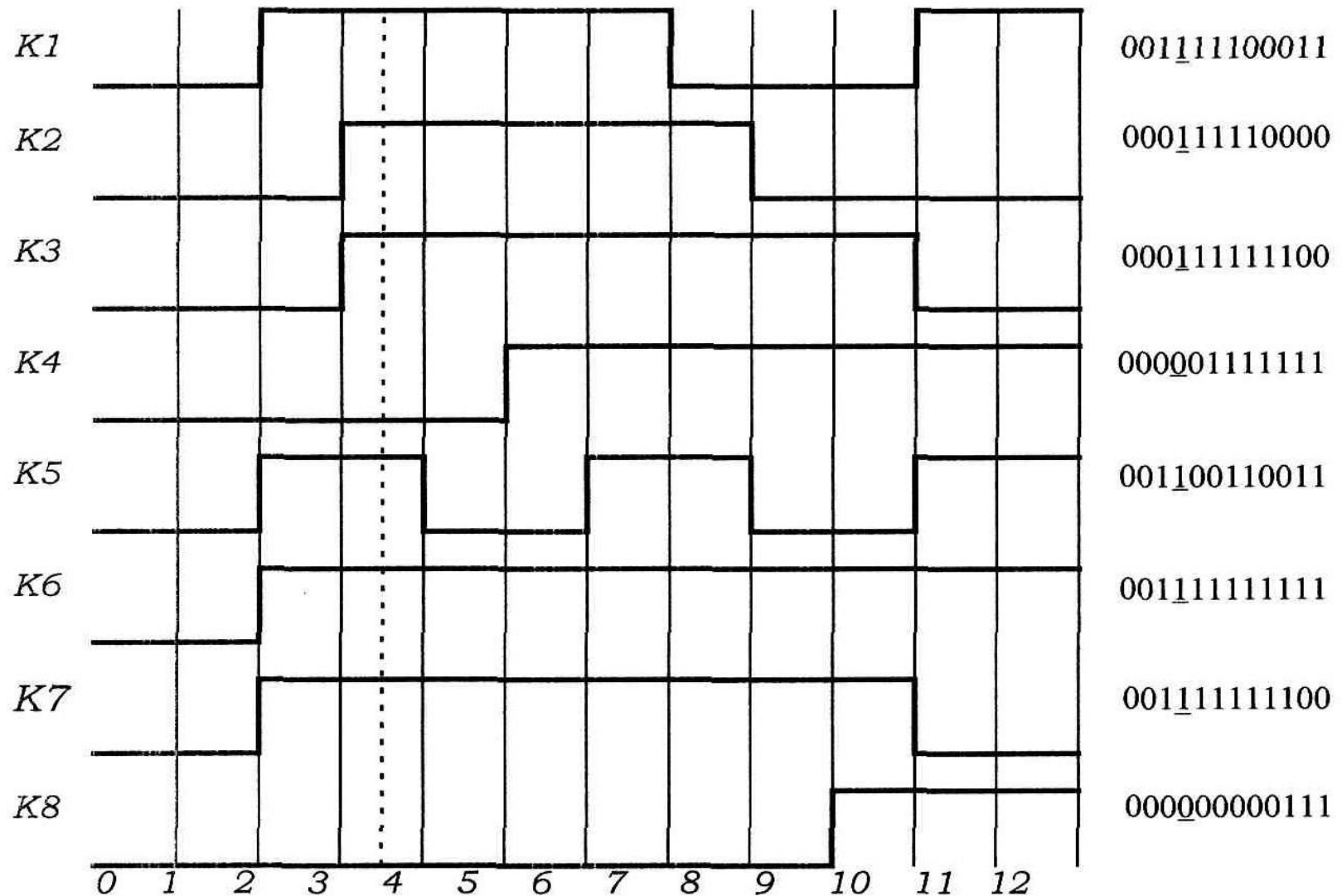
LVO – logické a vzorkovací obvody

NK – napěťový komparátor

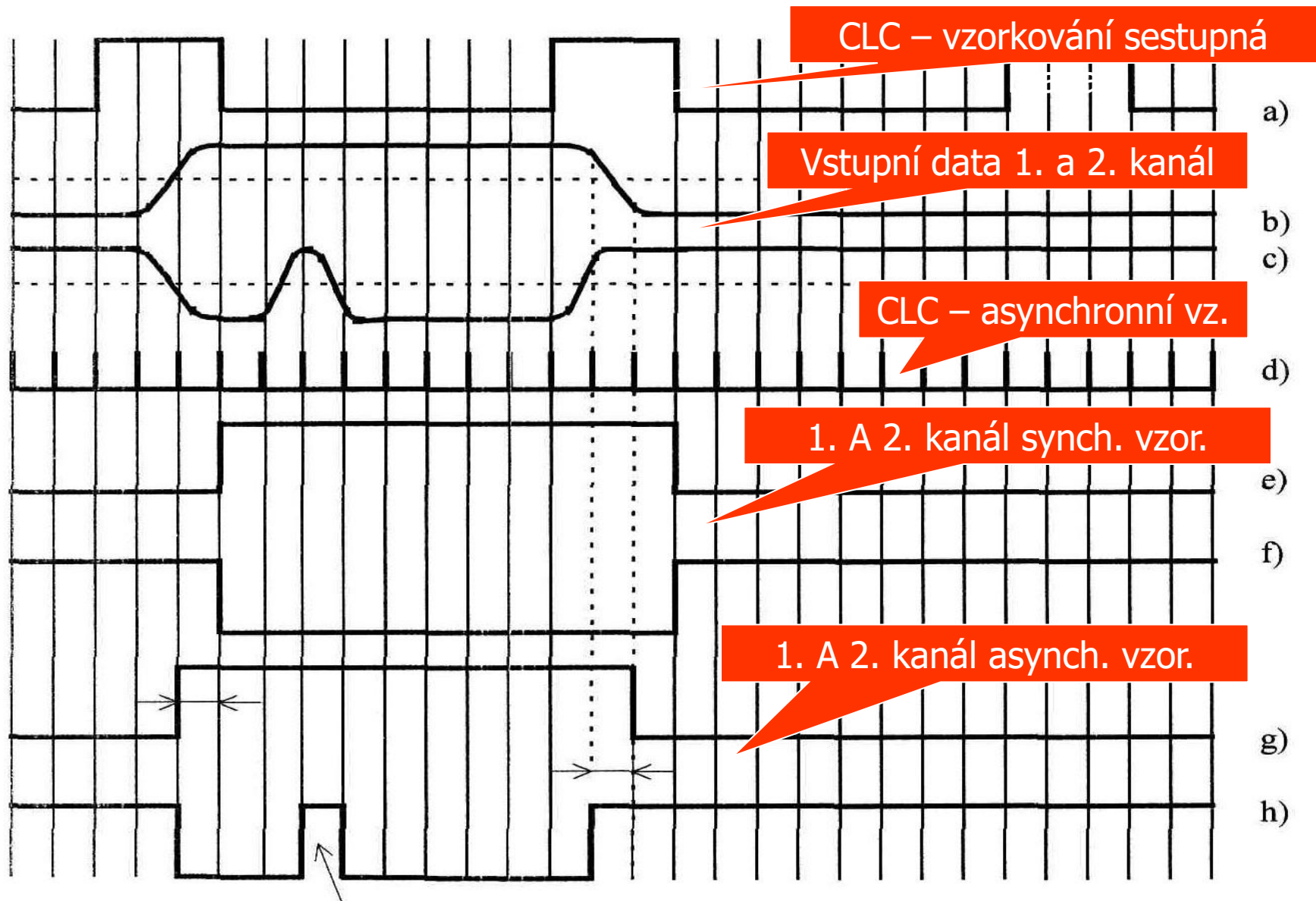
NRÚ – nastavení rozhodovací úrovně

ČK – číslicový komparátor

Časový diagram a seznam



Rozdíl mezi synchronním a asynchronním vzorkováním



Spouštění logického analyzátoru

Analyzátor používá pro spouštění větší počet kanálů

- V základní režimu porovnává bity vstupujících dat s předvoleným spouštěcím slovem
- Spouštěcí slovo se volí hodnotami jednotlivých bitů (1,0 X) softwarově
- Clock delay – zpoždění spuštění (také pretrigger mode)
- Event delay – spuštění po příchodu předvoleného počtu slov následujících po splnění spouštěcí podmínky
- rozšíření možností využitím kombinační logiky (např. logický součin, součet atd.) nebo i využitím podmínek IF THEN...ELSE
- v závislost na předvolené šířce pulsů podobně jako digitální osciloskopy

Další možnosti moderních log. analyzátorů

- Disasemblování strojového kódu mikroprocesorů – předprocesor (svorkovnice s patičí pro konkrétní mikroprocesorový obvod umožňující snadné připojení) a inverzní assembler (převádí kódy instrukcí programu a umožňuje srovnání originálního a zkoumaného výpisu assembleru mikroprocesoru. Současné analyzátory umožňují diagnostikovat
- d e s í t k y m i k r o p r o c e s o r ů
- kreslení histogramů aktivity (ukazují počty výskytů zvolených jevů během provádění určitých segmentů programu např. počet průchodů vybranou smyčkou
- Spolupráce s osciloskopem (spouštění, zobrazení)
- Přenos dat do počítače, kde mohou být zpracovány standardními grafickými progr., tabulkovými procesory nebo databázovými programy